

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-162670

(43)Date of publication of application : 08.06.1992

(51)Int.Cl.

H01L 27/146

G03F 7/20

H01L 21/027

(21)Application number : 02-289768

(71)Applicant : SHARP CORP

(22)Date of filing : 25.10.1990

(72)Inventor : FUKUBA NOBUYUKI

YAMAMOTO IKUO

IWATA KOJI

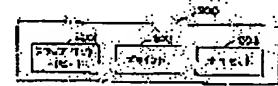
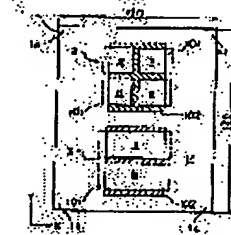
HISATOMI YUICHI

(54) MANUFACTURE OF SOLID-STATE IMAGE SENSING ELEMENT

(57)Abstract:

PURPOSE: To enable a reduction projection exposure device to be used at an alignment process by aligning a chip pattern on a reticle of the reduction projection exposure device after dividing the chip pattern into a plurality of drawing patterns and then transferring it onto a wafer while a remaining drawing pattern other than a specific drawing pattern is subjected to light shielding.

CONSTITUTION: A reticle 1 is set to a reduction projection exposure device 200. A drawing pattern 3 is subjected to light shielding with a blind which moves in the Y-direction. When a plurality of drawing patterns 2 are transferred onto a wafer at an equal interval by a step and repeat device 201, regions A and D of a chip pattern 100 are formed. simultaneously. The pattern 2 is subjected to light shielding by the blind in the Y-direction and the blind is canceled for the pattern 3. The drawing pattern 3 is position-adjusted by an offset device 203 and is brought adjacent to a region A which is formed on the wafer, and then a plurality of drawing patterns 3 are transferred onto the wafer by the step and repeat device 201, thus forming a region B of the chip pattern 100.



⑫ 公開特許公報(A) 平4-162670

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月8日

H 01 L 27/146

8122-4M H 01 L 27/14
7352-4M 21/303 1 1 A
L ※

審査請求 未請求 請求項の数 3 (全6頁)

⑭ 発明の名称 固体撮像素子の製造方法

⑮ 特 願 平2-289768

⑯ 出 願 平2(1990)10月25日

⑰ 発 明 者 福 場 信 行 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑱ 発 明 者 山 本 郁 夫 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 発 明 者 岩 田 耕 治 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑳ 発 明 者 久 富 雄 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

㉑ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉒ 代 理 人 弁理士 青 山 葆 外1名

最終頁に続く

明 細 書

1. 発明の名称

固体撮像素子の製造方法

2. 特許請求の範囲

(1) 投影座標を平行移動させるオフセット装置とレティクルの一部を遮光するブラインド装置とを有する縮小投影露光装置に、チップパターンを描いたレティクルを装着して、上記チップパターンを縮小投影してウエハ上に転写する固体撮像素子の製造方法であって、

予め、上記レティクル上に、上記チップパターンを複数の描画パターンに分割して配置し、

上記複数の描画パターンのうち特定の描画パターン以外の残りの描画パターンを上記ブラインド装置によって遮光した状態で、上記特定の描画パターンを上記ウエハ上に転写した後、

上記複数の描画パターンのうち上記特定の描画パターンに隣接すべき描画パターン以外の残りの描画パターンを上記ブラインド装置によって遮光した状態で、上記隣接すべき描画パターンを上記

オフセット装置によって上記ウエハ上で位置調節して上記特定の描画パターンに隣接させて転写することを特徴とする固体撮像素子の製造方法。

(2) 上記レティクルの上記複数の描画パターンのうち特定の描画パターンについて、1チップ当たり転写する回数を増減することを特徴とする請求項1に記載の固体撮像素子の製造方法。

(3) 上記複数の描画パターンのうち特定の描画パターンを上記ウエハ上に転写した後、上記特定の描画パターンに隣接すべき描画パターンを転写する際に、上記特定の描画パターンと上記隣接すべき描画パターンとの重ねシロの幅を増減することを特徴とする請求項1に記載の固体撮像素子の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は固体撮像素子の製造方法に関する。

【従来の技術】

従来、固体撮像素子として例えば多画素(2000画素以上)のラインセンサを作製する場合、

アライメント工程においては密着露光装置または等倍投影露光装置が用いられており、縮小投影露光装置は用いられなかった。その理由は、ラインセンサの画素ピッチを一般的な値である $1\mu\text{m}$ に設定したとき、長辺方向のチップサイズが $30\mu\text{m}$ 程度になるにもかかわらず、縮小投影露光装置に装着できるレティクルの長辺方向のサイズが一般にそれ以下(ただし、ウエハ上での寸法に換算している)であり、チップパターンを1つのレティクル上に描けないからである。

【発明が解決しようとする課題】

しかしながら、固体撮像素子の加工精度を上げ、寸法ばらつきを抑えるためには、アライメント工程で縮小投影露光装置を用いることが不可欠である。

そこで、この発明の目的は、アライメント工程で縮小投影露光装置を用いることができる固体撮像素子の製造方法を提供することにある。

【課題を解決するための手段】

上記目的を達成するために、この発明の固体撮

転写する回数を増減するのが望ましい。

また、上記複数の描画パターンのうち特定の描画パターンを上記ウエハ上に転写した後、上記特定の描画パターンに隣接すべき描画パターンを転写する際に、上記特定の描画パターンと上記隣接すべき描画パターンとの重ねシロの幅を増減するのが望ましい。

【作用】

チップパターンを複数の描画パターンに分割して配置するので、レティクルのサイズを超えるサイズのチップパターンであっても、1つのレティクル上に描くことが可能となる。そして、この複数の描画パターンは、縮小投影露光装置のブラインド装置によって1つずつウエハ上に転写される。同時に、各描画パターンは上記縮小投影露光装置のオフセット装置によって位置調節される。したがって、上記ウエハ上で上記複数の描画パターンが順に接続されて、ウエハ上に上記チップパターン全体が転写される。このように、縮小投影露光装置を用いてアライメントが行なわれる。したがっ

て、素子の製造方法は、投影座標を平行移動させるオフセット装置とレティクルの一部を遮光するブラインド装置とを有する縮小投影露光装置に、チップパターンを描いたレティクルを装着して、上記チップパターンを縮小投影してウエハ上に転写する固体撮像素子の製造方法であって、予め、上記レティクル上に、上記チップパターンを複数の描画パターンに分割して配置し、上記複数の描画パターンのうち特定の描画パターン以外の残りの描画パターンを上記ブラインド装置によって遮光した状態で、上記特定の描画パターンを上記ウエハ上に転写した後、上記複数の描画パターンのうち上記特定の描画パターンに隣接すべき描画パターン以外の残りの描画パターンを上記ブラインド装置によって遮光した状態で、上記隣接すべき描画パターンを上記オフセット装置によって上記ウエハ上で位置調節して上記特定の描画パターンに隣接させて転写することを特徴としている。また、上記レティクルの上記複数の描画パターンのうち特定の描画パターンについて、1チップ当たりに

て、素子の加工精度が向上し、寸法ばらつきが抑えられる。

また、上記レティクルの上記複数の描画パターンのうち特定の描画パターンについて、1チップ当たりに転写する回数を増減する場合、1組のマスク(レティクル)でもって、異なる画素数の固体撮像素子が作製される。したがって、画素数に応じて様々なマスクを用意する必要がなくなり、コスト面で有利となる。さらに、1つのウエハ上で、異なる画素数の固体撮像素子をレティクルを交換することなく容易に作製することができる。特に、ウエハ中央部に画素数が多い素子を作製して、上記ウエハ周辺に本来ならば無駄となる領域ができたときに、その領域に画素数が少ない素子を作り込むことが可能となる。したがって、ウエハ面積の無駄が無くなってコスト面で有利となる。

また、上記複数の描画パターンのうち特定の描画パターンを上記ウエハ上に転写した後、上記特定の描画パターンに隣接すべき描画パターンを転写する際に、上記特定の描画パターンと上記隣接

すべき描画パターンとの重ねシロの幅を増減する場合、1枚のレティクルでもって、異なる画素数の素子用の上記同一層のレティクルに兼用することが可能となる。したがって、画素数に応じて様々なレティクルを用意する必要がなくなり、コスト面でさらに有利となる。

【実施例】

以下、この発明の固体撮像素子の製造方法を実施例により詳細に説明する。

第2図は作製すべき2000画素ラインセンサのウエハ上におけるチップパターン100を示している。このラインセンサは、チップサイズがX方向30mm、Y方向1mmとなっている。このチップパターン100をX方向に4つの領域A、B、C、D(各領域A、B、C、DのX方向のサイズはそれぞれ5mm、10mm、10mm、5mmとする。)に分割した場合、領域B、Cが同一パターンになっているものとする。なお、チップパターン100の左右に隣接する領域D、Aは、それぞれこのチップに隣接するチップのものを示している。

び3はa,d及びbをY方向に8つずつ接続するのが望ましい。)なお、レティクル1の4つのコーナー1a、1b、1c、1d近傍にはアライメント時に光が当たらないので、各描画パターン2、3は各コーナー1a、1b、1c、1dを除く描画領域(実際に光が照射される領域)1r上に配置する。また、当然ながら、レティクル1上で描画パターン2、3を配置していない領域には、黒色を施して光を遮るようにする。

次に、上記レティクル1を第3図に示す縮小投影露光装置200にセットする。この縮小投影露光装置200は、ステップ・アンド・リピート装置201と、レティクル1をX方向、Y方向にそれぞれ遮光するブラインド装置202と、投影座標をウエハ上でXY方向に平行移動させるオフセット装置203を有している。

アライメントを行う場合、まず描画パターン3をY方向に動くブラインドで遮光する。この状態で、ステップ・アンド・リピート装置201によって描画パターン2をウエハ上に等間隔に複数転写

アライメント工程を進めるに先立ち、第1図に示すように、上記ラインセンサの領域A、Dのパターンa、dをそれぞれX方向、Y方向に2つずつ接続して描画パターン2を構成するとともに、上記ラインセンサの領域BのパターンDをY方向に2つ接続して描画パターン3を構成する(なお、破線で示した領域は隣接すべきパターンとの重ねシロ101を示している。)。描画パターン2はレティクル1のY座標が大きい側に配置し、描画パターン3はレティクル1のY座標が小さい側に配置する。ここで、レティクル1のサイズはウエハ上での値に換算してX方向15.0mm、Y方向17.5mmであるが、チップパターン100をX方向に分割しているので1つのレティクル1上に配置することができる。ここで、第1図においては図の簡素化のために、描画パターン2及び3はa、d及びbをY方向に2つずつ接続しているが、実際にはレティクル内に最大数接続するのが望ましい。(例えば、第2図のラインセンサの場合、Y方向のチップサイズは1mmなので、描画パターン2及

する。これにより、第2図に示したチップパターン100の領域Aおよび領域Dが同時に形成される。次に、第1図に示した描画パターン2をY方向のブラインドで遮光する一方、描画パターン3はブラインドを解除する。この状態で、描画パターン3をオフセット装置203によって位置調節してウエハ上に形成した領域Aに隣接させる。そして、ステップ・アンド・リピート装置201によって描画パターン3をウエハ上に複数転写する。これにより、第2図に示したチップパターン100の領域Bが形成される。次に、ブラインドはそのままの状態で、レティクル1の描画パターン3をオフセット装置203によって位置調節して、ウエハ上に形成した領域Bに隣接させる。そして、ステップ・アンド・リピート装置201によって描画パターン3をウエハ上に複数転写する。これにより、第2図に示したチップパターン100の領域Cが形成される。このようにして、縮小投影露光装置200を用いてチップパターン100をウエハ上に転写することができる。

また、上の例では、1つのチップパターン100について上記描画パターン3を2回使用したが、これに限られたものではない。例えば、描画パターン3を3回使用することによって画素数が多い素子(2500画素のラインセンサなど)を作製することができる。また、逆に、描画パターン3を1回だけ使用することによって画素数が少ない素子を作製することができる。したがって、画素数に応じて様々なマスクを用意する必要がなくなり、コスト面で有利となる。さらに、1つのウエハ上で、異なる画素数の素子をレティクルを交換することなく容易に作製できる有利さもある。例えば、ウエハ中央部に画素数が多い素子を作製して、上記ウエハ周辺に本来ならば無駄となる領域ができたときに、その領域に画素数が少ない素子を作り込むことができる。したがって、ウエハ面積の無駄を無くすことができ、コスト面で有利となる。

また、上記複数の描画パターンのうち特定の描画パターンを上記ウエハ上に転写した後、上記特定の描画パターンに隣接すべき描画パターンを転

回路を選択して採用することができる。すなわち、1つのレティクルでもって、画素数を増減できると共に、性能上も申し分のないラインセンサを種々作製できるのである。

【発明の効果】

以上より明らかなように、この発明の固体撮像素子の製造方法は、予め、上記レティクル上で上記チップパターンを複数の描画パターンに分割して配置し、上記複数の描画パターンのうち特定の描画パターン以外の残りの描画パターンを上記ブラインド装置によって遮光した状態で、上記特定の描画パターンを上記ウエハ上に転写した後、上記複数の描画パターンのうち上記特定の描画パターンに隣接すべき描画パターン以外の残りの描画パターンを上記ブラインド装置によって遮光した状態で、上記隣接すべき描画パターンを上記オフセット装置によって上記ウエハ上で位置調節して、上記特定の描画パターンに隣接させて転写するので、縮小投影露光装置を用いてアライメントを行うことができ、固体撮像素子のチップパターンを

写する際に、上記特定の描画パターンと上記隣接すべき描画パターンとの重ねシロの幅を増減する場合、1枚のレティクルでもって、異なる画素数の素子用の同一層のレティクルに兼用できる。例えば、微細加工が不要な層やチップの一部を覆うだけの層のレティクルは、この発明によってあらゆる画素数のラインセンサに適用することができる。したがって、画素数に応じて様々なレティクルを用意する必要がなくなり、コスト面でさらに有利となる。

なお、上に述べた例では、レティクル1上に配置した各描画パターンは、それぞれ1つのチップパターン100を分割して構成したが、これに限られるものではない。例えば、第4図に示すように、レティクル301のパターンaが出力回路のパターンであるとき、このパターンaに対して特性が異なる出力回路のパターンa'を使って別の描画パターン13を構成して、同一のレティクル301上に配置しても良い。このようにした場合、1つのレティクル301から特性の異なった出力

転写することができる。

また、上記レティクルの上記複数の描画パターンのうち特定の描画パターンについて、1チップ当たりに転写する回転数を増減する場合、1組のマスクでもって、異なる画素数の固体撮像素子を作製することができる。したがって、画素数に応じて様々なマスクを用意する必要がなくなって、コスト面で有利になる。さらに、1つのウエハ上で異なるチップサイズの素子をレティクルを交換することなく容易に作製できる。特に、ウエハ中央部に画素数が多い素子を作製して、上記ウエハ周辺に本来ならば無駄となる領域ができたときに、その領域に画素数が少ない素子を作り込むことができる。したがってウエハ面積の無駄を無くすことができ、コスト面で有利になる。

また、上記複数の描画パターンのうち特定の描画パターンを上記ウエハ上に転写した後、上記特定の描画パターンに隣接すべき描画パターンを転写する際に、上記特定の描画パターンと上記隣接すべき描画パターンとの重ねシロの幅を増減する

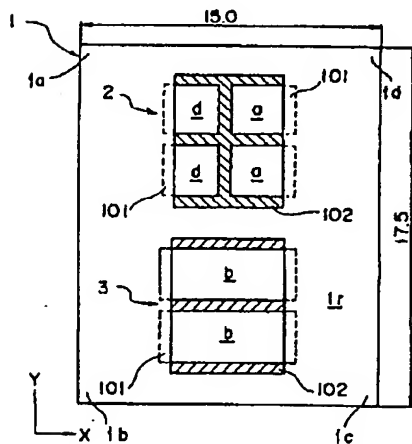
場合、1枚のレティクルでもって、異なる画素数の素子用の同一層のレティクルに兼用できる。したがって、画素数に応じて様々なレティクルを用意する必要がなくなり、コスト面で有利になる。

4. 図面の簡単な説明

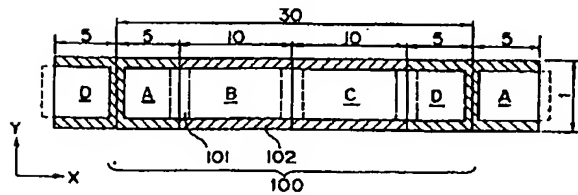
第1図、第4図はそれぞれこの発明によって固体撮像素子を製造するのに用いるレティクルの例を示す図、第2図は上記固体撮像素子のチップパターンを示す図、第3図は上記固体撮像素子の作製に使用する縮小投影露光装置の構成を示すブロック図である。

- 1,3,0,1…レティクル、
- 1a,1b,1c,1d…コーナー、1r…描画領域、
- 2,3,4,12,13,14…描画パターン、
- 100…チップパターン、101…重ねシロ、
- 102…スクライブライン、
- 200…縮小投影露光装置
- 201…ステップ・アンド・リピート装置、
- 202…ブラインド装置、
- 203…オフセット装置、

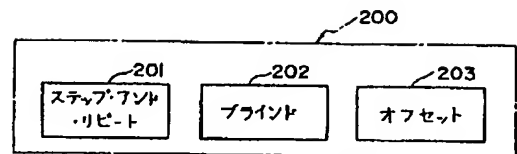
第1図



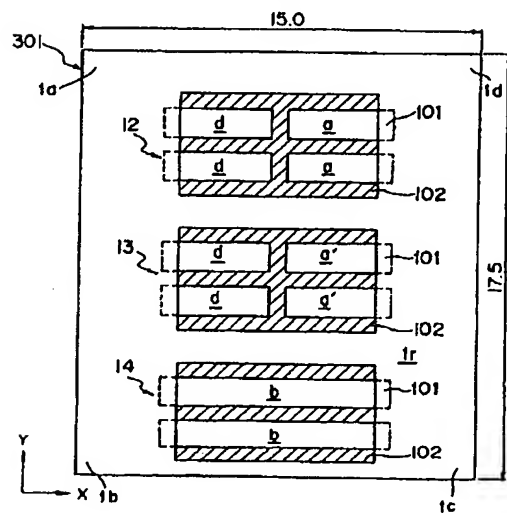
第2図



第3図



第4図



第1頁の続き

⑤Int.Cl.⁵

G 03 F 7/20
H 01 L 21/027

識別記号

5 2 1

庁内整理番号

7818-2H